

(Partial Translation)

On the process shown in Fig. 1, after a silicon oxide film 2 having a film thickness of about 20Å is formed on a p-type semiconductor substrate 1 with the conventional method, a silicon nitride film 3 having a film thickness of 70 to 150Å is formed on it, and a silicon oxide film 4 having a film thickness of 40 to 80Å is further provided.

Next, on the process shown in Fig. 3, the semiconductor substrate 1, which is obtained on the process shown in Fig. 2, is performed a gate oxidation to form an insulating film 8 having a film thickness of about 200Å.

Next, on the process shown in Fig. 4, a source 10 and a drain 11 is formed on the semiconductor substrate 1, which is obtained on the process shown

two memory gates 7 and the address gate electrode 11 is formed on the channel region. After that, with the usual process, wirings and so on are formed to complete the nonvolatile semiconductor memory.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-145080

(43)公開日 平成5年(1993)6月11日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/788

29/792

H01L 29/78

371

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平3-309179

(22)出願日 平成3年(1991)11月25日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 前川 薫

千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

(72)発明者 岩橋 正憲

千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

(74)代理人 弁理士 森 哲也 (外2名)

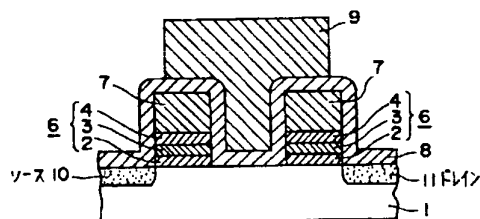
(54)【発明の名称】 不揮発性記憶装置

(57)【要約】

【目的】高集積化を達成し、均一で安定した記憶特性を有する不揮発性記憶装置を提供する。

【構成】半導体基板1のチャネル領域上に、独立して形

成したゲート電極7を設け、メセリゲート電極7間及びメセリゲート電極7上の少なくとも一部に、絶縁膜8を介してアドレスゲート電極9を形成した構造を有する不揮発性記憶装置。



【特許請求の範囲】

【請求項1】 半導体基板のチャネル領域に独立して形成した一対の多層ゲート絶縁膜上に、メモリゲート電極を設け、当該メモリゲート電極間及びメモリゲート電極上の少なくとも一部に、絶縁膜を介してアドレスゲート電極を形成したことを特徴とする不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不揮発性記憶装置に係り、特に、高集積化を達成し、均一で安定した記憶特性を有する不揮発性記憶装置に関する。

【0002】

【従来の技術】従来、一般的な不揮発性記憶装置として、例えば、MNOS (Metal Nitride Oxide Semiconductor) 型や、MONOS (Metal Oxide Nitride Oxide Semiconductor) 型等が知られている。

【0003】前記不揮発性記憶装置のメモリセルには、通常、ゲート酸化膜と多結晶シリコンゲートとの間に、シリコン窒化膜を有するnMOS (n型-Metal Oxide Semiconductor) トランジスタが用いられている。そして、このようなメモリセルでは、通常のメモリゲート (記憶装置のゲート) において、書き込み後は、エンハンスメント型、消去後は、ディプリーション型の特性を示す。従って、消去状態にあるメモリセルの非読み出し時に、チャネル領域が短絡しないように、前記不揮発性記憶装置は、1ビットセルがメモリゲート及びエンハンスメント型特性を持つアドレスゲート (前記記憶装置が選択された時にのみ、ドレイン電流を通過させるチャネルを形成するためのゲート) を有した構造、即ち、実質的には、2つのトランジスタで1つの記憶装置を構成する構造をしている。

【0004】

揮発性記憶装置は、2つのトランジスタで1つの記憶装置を構成する構造を有するため、ビット当たりの面積が大きくなり、装置の小型化を図ることができないという問題があった。そこで、この問題を解決するため、メモリセルを2つのメモリゲートと1つのアドレスゲートとで構成し、前記メモリゲートとアドレスゲートとをオーバーラップさせた構造とし、1セルに2ビット記憶させることで、1ビット当たりの面積を縮小する不揮発性装置が知られている。

【0005】しかしながら、この従来例は、1ビット当たりの面積を縮小することができる反面、メモリゲートをアドレスゲートの一部にオーバーラップさせているため、メモリゲート長に対するメモリ領域長が小さくなっている。従って、実質的に有効なメモリ領域が小さく、メモリ動作が不安定になるという問題があった。一方、

安定したメモリ動作を得るためには、実質的なメモリ領域を拡げる、即ち、メモリゲート長を大きくしなければならず高集積化に支障を来すという問題があった。さらに、前記メモリゲートとアドレスゲートとをオーバーラップさせる技術は、フォトリソ工程が複雑なため、位置合わせ誤差が生じ、メモリ領域長にばらつきが生じ易く、メモリ動作が不安定になるという問題があった。また、コストの増大を招くという問題もあった。

【0006】本発明は、このような問題を解決することを課題とするものであり、高集積化を達成し、均一で安定した記憶特性を有する不揮発性記憶装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この目的を達成するために、本発明は、半導体基板のチャネル領域上に独立して形成した一対の多層ゲート絶縁膜上に、メモリゲート電極を設け、当該メモリゲート電極間及びメモリゲート電極上の少なくとも一部に、絶縁膜を介してアドレスゲート電極を形成したことを特徴とする不揮発性記憶装置を提供するものである。

【0008】

【作用】本発明に係る不揮発性記憶装置は、前記メモリゲート電極間及びメモリゲート電極上の少なくとも一部に、前記アドレスゲート電極を形成した構造としたため、メモリゲート長が直接メモリ領域長となる。従って、1ビット当たりの面積に対するメモリ領域を最大限に大きくすることができるため、メモリ動作が安定する。このため、1ビット当たりの面積を従来の不揮発性記憶装置の前記面積より縮小しても、従来の不揮発性記憶装置と同様の安定したメモリ動作を確保することができる。このため、高集積化が可能となる。また、前記メモリゲートは、前記アドレスゲートの下 (半導体基板側) に形成されているため、従来のように、フォトリソ工程の位置合わせ誤差に影響されることがない。従って、メ

で安定したメモリ特性を有する不揮発性記憶装置となる。

【0009】

【実施例】次に、本発明に係る実施例について、図面を参照して説明する。図1ないし図4は、本発明の実施例に係る不揮発性記憶装置 (MONOS型) の製造工程を示す一部断面図である。図1に示す工程では、p型の半導体基板1上に、公知の方法で、20Å程度の膜厚でシリコン酸化膜2を堆積した後、この上に、70~150Å程度の膜厚でシリコン窒化膜3を堆積し、さらに、40~80Å程度の膜厚でシリコン酸化膜4を堆積する。その後、前記シリコン酸化膜4上に、3000~5000Å程度の膜厚で、多結晶シリコン膜5を堆積する。

【0010】次に、図2に示す工程では、図1に示す工程で得た半導体基板1をパターンニングして、多結晶シリ

コン膜5及び、シリコン酸化膜4と、シリコン窒化膜3と、シリコン酸化膜2と、からなる多層ゲート絶縁膜6を選択的にエッチングする。このようにして、半導体基板1上に、独立した2つ（一对）のメモリゲート電極7を、多層ゲート絶縁膜6を介して形成する。このように、メモリゲート電極7は、従来の複雑なフォトリソ工程を行わずに形成することができるため、メモリ領域の寸法精度を向上することができる。

【0011】次いで、図3に示す工程では、図2に示す工程で得た半導体基板1にゲート酸化を行い、200Å程度の膜厚で絶縁膜8を堆積する。この時、メモリゲート電極7上に堆積した絶縁膜8の膜厚は、300～800Å程度となる。次に、絶縁膜8上に、多結晶シリコンを3000～5000Å程度の膜厚で堆積した後、パターニングして、当該多結晶シリコン膜を選択的にエッチングし、アドレスゲート電極9を形成する。ここで、アドレスゲート電極9を形成するためのパターニングは、アドレスゲート電極9が、前記2つのメモリゲート電極7の一方から他方へオーバーラップするように行う。このようにして、メモリゲート電極7間及びメモリゲート電極7上の少なくとも一部に、アドレスゲート電極9を形成した。この構造を有する不揮発性記憶装置は、メモリ領域が従来の不揮発性記憶装置に比べ、極めて大きくなっている。

【0012】次に、図4に示す工程では、前記2つのメモリゲート7及びアドレスゲート電極11がチャネル領域上に形成されるように、図3に示す工程で得た半導体基板1に、公知の方法によりソース10、ドレイン11を形成する。その後、通常工程により、配線等を形成し、不揮発性記憶装置を完成する。尚、本実施例では、p型の半導体基板上に、n型のメモリセルを形成したが、これに限らず、n型の半導体基板を用いてもよいことは勿論である。

【0013】また、本実施例では、MONOS型の不揮

揮発性記憶装置について説明したが、これに限らず、MNOS型の不揮発性記憶装置等に応用しても、同様の効果を得ることができる。

【0014】

【発明の効果】以上説明したように、本発明によれば、不揮発性記憶装置の構造を、メモリゲート電極間及びメモリゲート電極上の少なくとも一部に、アドレスゲート電極を形成した構造としたため、メモリゲート長が直接メモリ領域長となる結果、1ビット当たりの面積を縮小しても、安定したメモリ動作を確保することができる。従って、高集積化を達成し、均一で安定した記憶特性を有する不揮発性記憶装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る不揮発性記憶装置の製造工程を示す一部断面図である。

【図2】本発明の実施例に係る不揮発性記憶装置の製造工程を示す一部断面図である。

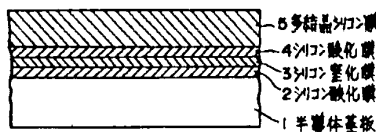
【図3】本発明の実施例に係る不揮発性記憶装置の製造工程を示す一部断面図である。

【図4】本発明の実施例に係る不揮発性記憶装置の製造工程を示す一部断面図である。

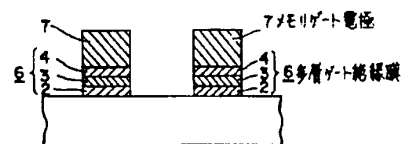
【符号の説明】

- 1 半導体基板
- 2 シリコン酸化膜
- 3 シリコン窒化膜
- 4 シリコン酸化膜
- 5 多結晶シリコン膜
- 6 多層ゲート絶縁膜
- 7 メモリゲート電極
- 8 絶縁膜
- 9 アドレスゲート電極
- 10 ソース
- 11 ドレイン

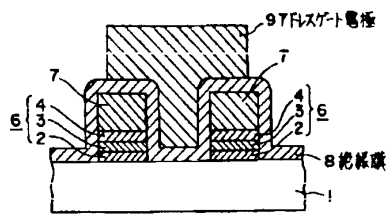
【図1】



【図2】



【図3】



【図4】

